

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353708

(43)Date of publication of application : 19.12.2000

(51)Int.Cl.

H01L 21/338

H01L 29/812

(21)Application number : 11-163718

(71)Applicant : NEC CORP

(22)Date of filing : 10.06.1999

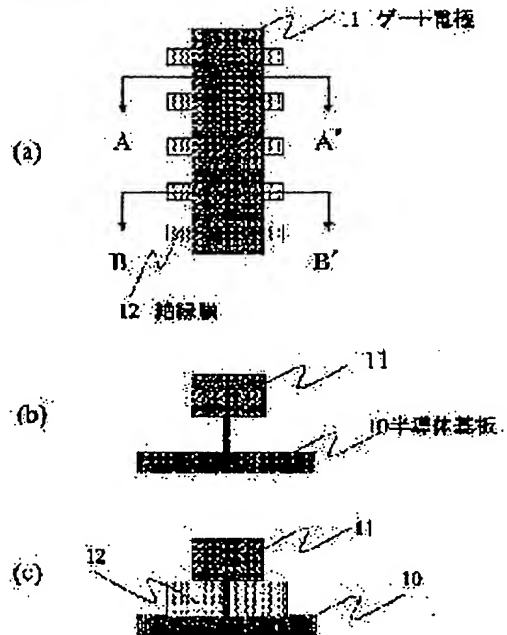
(72)Inventor : SAMOTO NORIHIKO
WAKEJIMA AKIO
MAKINO YOICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device, with which the prevention of lowering of the yield of production and the improvement of high frequency characteristic can be compatibly accomplished when a microscopic gate electrode is formed, and to obtain a manufacturing method of the semiconductor device.

SOLUTION: In a T-shaped cross-sectional gate electrode on which gate resistance is reduced, an insulating film 13, which is formed between a gate electrode 11 and a semiconductor substrate 10 for the purpose of retaining the gate electrode 11, is partially removed in the width direction (longitudinal direction). In the structure, as the gate electrode 11 is retained, and at the same time, an insulating film 12 is partially removed, gate parasitic capacitance can be decreased without lowering the yield of production, when the gate electrode is formed, and high frequency characteristic can also be improved.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-353708

(P2000-353708A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int.Cl.⁷

H 0 1 L 21/338

29/812

識別記号

F I

H 0 1 L 29/80

データベース* (参考)

F 5 F 1 0 2

審査請求 有 請求項の数17 O L (全 22 頁)

(21) 出願番号

特願平11-163718

(22) 出願日

平成11年6月10日 (1999. 6. 10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐本 典彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 分島 彰男

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100097113

弁理士 堀 城之

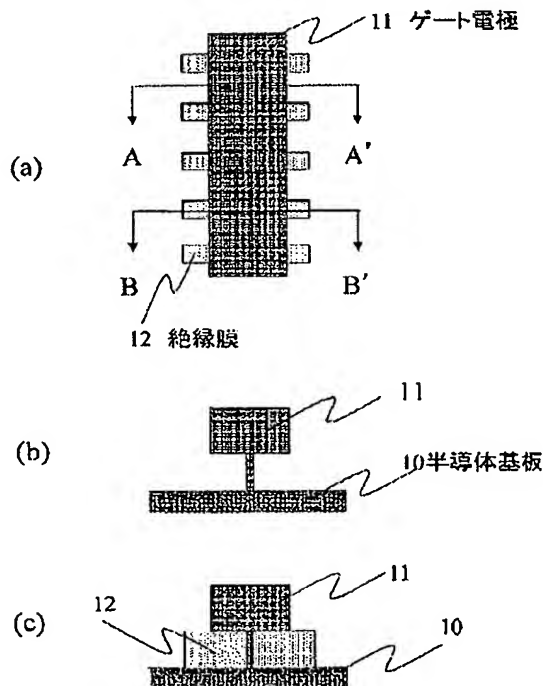
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置製造方法

(57) 【要約】

【課題】 本発明は、微細ゲート電極形成時の歩留まり低下の回避および高周波特性の向上の両立を図る半導体装置および半導体装置製造方法を提供することを課題とする。

【解決手段】 ゲート抵抗を低減する断面T字型ゲート電極において、ゲート電極と半導体基板の間にゲート電極を保持するため形成する絶縁膜をゲート電極の幅（長手方向）において部分的に除去する。かかる構造においては、ゲート電極の保持を行うと同時に部分的に絶縁膜が残存しているため、ゲート電極形成時におけるゲート歩留まりを低減することなく、ゲート寄生容量を低減し、高周波特性を向上させる効果をもたらす。



【特許請求の範囲】

【請求項 1】 微細ゲート電極形成時の歩留まり低下の回避および高周波特性の向上の両立を図る半導体装置であって、

ゲート抵抗の低減された断面 T 字型ゲート電極を絶縁膜材料にて保持するゲート支持パターンを有し、前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が当該ゲート電極のゲート幅方向に存在するように構成されていることを特徴とする半導体装置。

【請求項 2】 前記ゲート電極のソース電極側および当該ゲート電極のドレイン電極側の双方においてゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が存在するとともに、当該ゲート電極のドレイン電極側でのゲート支持位置と当該ゲート電極のソース電極側でのゲート支持位置が当該ゲート電極を中心軸として対称に存在するように構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ゲート電極のソース電極側では、ゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が存在するとともに、当該ゲート電極のドレイン電極側では、前記ゲート支持パターンがゲート幅方向に切れ目無く存在するように構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記ゲート電極のドレイン電極側では、ゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が存在し、前記ゲート電極のソース電極側では、前記ゲート支持パターンがゲート幅方向に切れ目無く存在するように構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記ゲート電極のソース電極側および当該ゲート電極のドレイン電極側の双方においてゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が存在するとともに、当該ゲート電極のドレイン電極側でのゲート支持位置と当該ゲート電極のソース電極側でのゲート支持位置が当該ゲート電極を中心軸として非対称に存在するように構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 少なくとも前記ゲート電極の足部と基板に接する部分に空隙を有する絶縁膜によって当該ゲート電極を保持するように構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 少なくとも前記ゲート電極の足部と基板に接する部分に空隙を有する絶縁膜によって当該ゲート電極を保持する構成と、当該絶縁膜が当該ゲート電極を保持するために存在しない構成を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】 前記ゲート電極の保持パターンが比誘電率略 3 乃至略 1 の絶縁性膜を含んで形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 前記ゲート電極を支持するために残存している絶縁膜の面積のゲート上部面積に対する比率を、0 より大きくかつ 0.75 以下に設定するように構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】 微細ゲート電極形成時の歩留まり低下の回避および高周波特性の向上の両立を図る半導体装置製造方法であって、

ゲート抵抗の低減された断面 T 字型ゲート電極を絶縁膜材料にて保持するゲート支持パターンを形成する工程と、

前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を当該ゲート電極のゲート幅方向に形成する工程を有することを特徴とする半導体装置製造方法。

【請求項 11】 前記ゲート電極のソース電極側および当該ゲート電極のドレイン電極側の双方においてゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を形成する工程と、

当該ゲート電極のドレイン電極側でのゲート支持位置と当該ゲート電極のソース電極側での支持位置を当該ゲート電極を中心軸として対称に形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法。

【請求項 12】 ゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を前記ゲート電極のソース電極側に形成する工程と、

前記ゲート支持パターンをゲート幅方向に切れ目無く当該ゲート電極のドレイン電極側に形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法。

【請求項 13】 ゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を前記ゲート電極のドレイン電極側に形成する工程と、

前記ゲート支持パターンをゲート幅方向に切れ目無く前記ゲート電極のソース電極側に形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法。

【請求項 14】 前記ゲート電極のソース電極側および当該ゲート電極のドレイン電極側の双方においてゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を形成する工程と、

当該ゲート電極のドレイン電極側でのゲート支持位置と当該ゲート電極のソース電極側での支持位置を当該ゲート電極を中心軸として非対称に形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法。

【請求項 15】 少なくとも前記ゲート電極の足部と基板に接する部分に空隙を有する絶縁膜によって当該ゲート電極を保持する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法。

【請求項 16】 前記ゲート電極の保持パターンを、比

誘電率略 3 乃至略 1 の絶縁性膜を用いて形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法。

【請求項 17】 前記ゲート電極を支持するために残存している絶縁膜を、ゲート上部面積に対する比率が 0 より大きくかつ 0.75 以下となるように形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、断面 T 字型微細ゲートを有する電界効果トランジスタとその製造方法に係り、特に微細ゲート電極形成時の歩留まり低下の回避および高周波特性の向上の両立を図る半導体装置および半導体装置製造方法に関する。

【0002】

【従来の技術】従来この種の断面 T 字型微細ゲートを有する電界効果トランジスタは、例えば、特開昭 63-192277 号公報に示されているように、断面 T 字型ゲート電極足部の両側に該足部を挟むように設けられた絶縁膜材料からなるゲート電極支持パターンを有し、リフトオフ時のゲート破損剥離等による歩留まり低下を避けるために用いられている。図 43 は従来の半導体装置のデバイス構造を説明するための断面図である。図 43 に示すように、この従来の電界効果トランジスタは、GaAs 基板 201 上に T 字型ゲート電極 203 が形成され、絶縁性材料 204 が T 字型ゲート電極 203 の足部の両側を挟むように設けられた状態で T 字型ゲート電極 203 と GaAs 基板 201 の間を埋める形状をしている。このように、従来技術ではゲート電極支持パターン 204 を設けることによって、T 字型ゲート電極 203 と GaAs 基板 201 との接触の幅にかかわらず、リフトオフ時に不要のレジストを除去するために加えられる超音波処理等に対しても T 字型ゲート電極 203 が破壊されることなく、これを再現性よく形成することが可能となっている。

【0003】

【発明が解決しようとする課題】しかしながら、従来技術では、ゲート電極と基板との間に形成される空間を隙間なく絶縁性材料で埋めているため、ゲート電極とソース電極、基板、ドレイン電極との間で発生する寄生容量が大きくなり、高周波特性の低下、特に遮断周波数や最高共振周波数の低下を招くという問題点があった。また、高周波特性を向上させるためにリフトオフ終了後に絶縁膜材料をすべて除去すると、微細ゲートのため歩留まりの低下を招くという問題点もあった。

【0004】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、微細ゲート電極形成時の歩留まり低下の回避および高周波特性の向上の両立を図る半導体装置および半導体装置製造方法を提供す

る点にある。

【0005】

【課題を解決するための手段】請求項 1 に記載の発明の要旨は、微細ゲート電極形成時の歩留まり低下の回避および高周波特性の向上の両立を図る半導体装置であって、ゲート抵抗の低減された断面 T 字型ゲート電極を絶縁膜材料にて保持するゲート支持パターンを有し、前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が当該ゲート電極のゲート幅方向に存在するように構成されていることを特徴とする半導体装置に存す

る。また請求項 2 に記載の発明の要旨は、前記ゲート電極のソース電極側および当該ゲート電極のドレイン電極側の双方においてゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が存在するとともに、当該ゲート電極のドレイン電極側でのゲート支持位置と当該ゲート電極のソース電極側でのゲート支持位置が当該ゲート電極を中心軸として対称に存在するように構成されていることを特徴とする請求項 1 に記載の半導体装置に存する。また請求項 3 に記載の発明の要旨は、前記ゲート電極のソース電極側では、ゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が存在するとともに、当該ゲート電極のドレイン電極側では、前記ゲート支持パターンがゲート幅方向に切れ目無く存在するように構成されていることを特徴とする請求項 1 に記載の半導体装置に存する。また請求項 4 に記載の発明の要旨は、前記ゲート電極のドレイン電極側では、ゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が存在し、前記ゲート電極のソース電極側では、前記ゲート支持パターンがゲート幅方向に切れ目無く存在するように構成されていることを特徴とする請求項 1 に記載の半導体装置に存する。また請求項 5 に記載の発明の要旨は、前記ゲート電極のソース電極側および当該ゲート電極のドレイン電極側の双方においてゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分が存在するとともに、当該ゲート電極のドレイン電極側でのゲート支持位置と当該ゲート電極のソース電極側でのゲート支持位置が当該ゲート電極を中心軸として非対称に存在するように構成されていることを特徴とする請求項 1 に記載の半導体装置に存する。また請求項 6 に記載の発明の要旨は、少なくとも前記ゲート電極の足部と基板に接する部分に空隙を有する絶縁膜によって当該ゲート電極を保持するように構成されていることを特徴とする請求項 1 に記載の半導体装置に存する。また請求項 7 に記載の発明の要旨は、少なくとも前記ゲート電極の足部と基板に接する部分に空隙を有する絶縁膜によって当該ゲート電極を保持する構成と、当該絶縁膜が当該ゲート電極を保持するために存在しない構成を有することを特徴とする請求項 1 に記載の半導体装置に存する。また請求項 8 に記載の発明の要旨は、前記ゲート電極の

5

保持パターンが比誘電率略 3 乃至略 1 の絶縁性膜を含んで形成されていることを特徴とする請求項 1 に記載の半導体装置に存する。また請求項 9 に記載の発明の要旨は、前記ゲート電極を支持するために残存している絶縁膜の面積のゲート上部面積に対する比率を、0 より大きくかつ 0.75 以下に設定するように構成されていることを特徴とする請求項 1 に記載の半導体装置に存する。また請求項 10 に記載の発明の要旨は、微細ゲート電極形成時の歩留まり低下の回避および高周波特性の向上の両立を図る半導体装置製造方法であって、ゲート抵抗の低減された断面 T 字型ゲート電極を絶縁膜材料にて保持するゲート支持パターンを形成する工程と、前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を当該ゲート電極のゲート幅方向に形成する工程を有することを特徴とする半導体装置製造方法に存する。また請求項 11 に記載の発明の要旨は、前記ゲート電極のソース電極側および当該ゲート電極のドレイン電極側の双方においてゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を形成する工程と、当該ゲート電極のドレイン電極側でのゲート支持位置と当該ゲート電極のソース電極側での支持位置を当該ゲート電極を中心軸として対称に形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法に存する。また請求項 12 に記載の発明の要旨は、ゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を前記ゲート電極のソース電極側に形成する工程と、前記ゲート支持パターンをゲート幅方向に切れ目無く当該ゲート電極のドレイン電極側に形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法に存する。また請求項 13 に記載の発明の要旨は、ゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を前記ゲート電極のドレイン電極側に形成する工程と、前記ゲート支持パターンをゲート幅方向に切れ目無く前記ゲート電極のソース電極側に形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法に存する。また請求項 14 に記載の発明の要旨は、前記ゲート電極のソース電極側および当該ゲート電極のドレイン電極側の双方においてゲート幅方向に前記ゲート電極を支持する部分と前記ゲート電極を支持しない部分を形成する工程と、当該ゲート電極のドレイン電極側でのゲート支持位置と当該ゲート電極のソース電極側での支持位置を当該ゲート電極を中心軸として非対称に形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法に存する。また請求項 15 に記載の発明の要旨は、少なくとも前記ゲート電極の足部と基板に接する部分に空隙を有する絶縁膜によって当該ゲート電極を保持する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法に存する。また請求項 16 に記載の発明の要旨は、前記ゲート電極の保持パターンを、比

6

誘電率略 3 乃至略 1 の絶縁性膜を用いて形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法に存する。また請求項 17 に記載の発明の要旨は、前記ゲート電極を支持するために残存している絶縁膜を、ゲート上部面積に対する比率が 0 より大きくかつ 0.75 以下となるように形成する工程を有することを特徴とする請求項 10 に記載の半導体装置製造方法に存する。

【0006】

10 【発明の実施の形態】以下に示す各実施の形態の特徴は、断面 T 字型ゲート電極を保持するために低抵抗部と基板の間に絶縁膜が存在する領域をゲート幅方向に部分的に設けゲート幅方向に部分的に絶縁膜を設けることにより、ゲート電極の破壊を回避するとともに、寄生容量の増加を防ぎ、その結果、ゲート歩留まり低下の防止と高周波特性の向上できることにある。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0007】（第 1 の実施の形態）まず、本発明の第 1 の実施の形態を図面を参照して詳細に説明する。図 1 は本発明の第 1 の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。図 1 (a) を参

20 照すると、第 1 の実施の形態として断面 T 字型電界効果トランジスタのゲート部上面図が示されている。図 1

(b) および図 1 (c) は、図 1 (a) の A-A' 切断線、B-B' 切断線のそれぞれに沿った断面図である。

【0008】本実施の形態では、図 1 (c) に示すように、ゲート電極 11 と半導体基板 10 の間にゲート電極 11 を保持するため絶縁膜 12 が形成されている。また、図 1 (b)、図 1 (c) の断面図に示すように、図 1 (b) で示す断面部分では、ゲート電極 11 と半導体基板 10 の間が絶縁膜 12 で埋め込まれておらず、図 1 (c) に示す断面部分では、ゲート電極 11 と半導体基板 10 の間が絶縁膜 12 で埋め込まれている。図 1

(a)、図 1 (b) および図 1 (c) に示すように、絶縁膜 12 は、ゲート電極 11 の幅（長手方向）に部分的に除去されている。本実施の形態では、ゲート電極 11 を保持すると同時に部分的に絶縁膜 12 が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上できるようなるといった効果を奏する。

【0009】（第 2 の実施の形態）次に、本発明の第 2 の実施の形態を図面を参照して詳細に説明する。図 2 は本発明の第 2 の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。図 2 (a) を参照すると、本発明の第 2 の実施の形態として断面 T 字型電界効果トランジスタのゲート部上面図が示されている。図 2 (b) および図 2 (c) は、図 2 (a) の A-A' 切断線、B-B' 切断線のそれぞれに沿った断面図である。

50 【0010】本実施の形態では、図 2 (b)、図 2

(c) に示すように、ゲート電極 21 と半導体基板 20 の間にゲート電極 21 を保持するため絶縁膜 22 が形成されている。また、図 2 (b)、図 2 (c) の断面図に示すように、図 2 (b) で示す断面部分では、ゲート電極 21 の片側 (例えば、ソース電極側) においてゲート電極 21 と半導体基板 20 の間が絶縁膜 22 で埋め込まれておらず、図 2 (c) に示す断面部分では、ゲート電極 21 と半導体基板 20 の間が絶縁膜 22 で埋め込まれている。図 2 (a)、図 2 (b)、図 2 (c) に示すように、絶縁膜 22 は、ゲート電極 21 の幅 (長手方向) に部分的に除去されている。本実施の形態では、ゲート電極 21 を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上できるようになるといった効果を奏する。特に本実施形態のようにソース電極側の絶縁膜 22 が除去されていれば、ゲートーソース間の寄生容量が低減可能で、電流利得を規定する遮断周波数 f_t の向上を図ることができる。

【0011】 (第3の実施の形態) 次に、本発明の第3の実施の形態を図面を参照して詳細に説明する。図3は本発明の第3の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。図3 (a) を参照すると、本発明の第3の実施の形態として断面T字型電界効果トランジスタのゲート部上面図が示されている。図3 (b) および図3 (c) は、図3 (a) のA-A' 切断線、B-B' 切断線のそれぞれに沿った断面図である。

【0012】 本実施の形態では、図3 (b)、図3 (c) に示すように、ゲート電極 31 と半導体基板 30 の間にゲート電極 31 を保持するため絶縁膜 32 が形成されている。また、図3 (b)、図3 (c) の断面図に示すように、図3 (b) で示す断面部分では、ゲート電極 31 の片側 (例えば、ドレイン電極側) においてゲート電極 31 と半導体基板 30 の間が絶縁膜 32 で埋め込まれておらず、図3 (c) に示す断面部分では、ゲート電極 31 と半導体基板 30 の間が絶縁膜 32 で埋め込まれている。図3 (a)、図3 (b)、図3 (c) に示すように、絶縁膜 32 は、ゲート電極 31 の幅 (長手方向) に部分的に除去されている。本実施の形態では、ゲート電極 31 を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上できるようになるといった効果を奏する。特に本実施形態のようにドレイン電極側の絶縁膜 22 が除去されていれば、ゲートードレイン間の寄生容量が低減可能で、最大有能電力利得を規定する最高発振周波数 f_{max} の向上を図ることができる。

【0013】 (第4の実施の形態) 次に、本発明の第4の実施の形態を図面を参照して詳細に説明する。図4は

本発明の第4の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。図4 (a) を参照すると、本発明の第4の実施の形態として断面T字型電界効果トランジスタのゲート部上面図が示されている。図4 (b) および図4 (c) は、図4 (a) のA-A' 切断線、B-B' 切断線のそれぞれに沿った断面図である。

【0014】 本実施の形態では、図4 (b)、図4 (c) に示すように、ゲート電極 41 と半導体基板 40 の間にゲート電極 41 を保持するため絶縁膜 42 が形成されている。また、図4 (b)、図4 (c) の断面図に示すように、図4 (b) で示す断面部分では、ゲート電極 41 と半導体基板 40 の間 (例えば、ソース電極側) が絶縁膜 42 で埋め込まれておらず、これと反対に、図4 (c) に示す断面部分では、ゲート電極 41 と半導体基板 40 の間 (例えば、ドレイン電極側) が絶縁膜 42 で埋め込まれていない。図4 (a)、図4 (b)、図4 (c) に示すように、絶縁膜 42 は、ゲート電極 41 の幅 (長手方向) に部分的に除去され、なおかつ、絶縁膜 42 がドレイン電極側とソース電極側で交互に存在する構造とすることで、ゲート歩留まりを低下させずに絶縁膜 42 の間隔を第1の実施の形態の場合に比べて広げることができる。本実施の形態では、ゲート電極 41 を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上できるようになるといった効果を奏する。

【0015】 (第5の実施の形態) 次に、本発明の第5の実施の形態を図面を参照して詳細に説明する。図5は本発明の第5の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。図5 (a) を参照すると、本発明の第5の実施の形態として断面T字型電界効果トランジスタのゲート部上面図が示されている。図5 (b) は、図5 (a) のA-A' 切断線に沿った断面図である。

【0016】 本実施の形態では、図5 (b) に示すように、ゲート電極 71 と半導体基板 70 の間に絶縁膜 72 と空隙 73 を形成し、ゲート電極 71 を保持している。図5 (b) の断面図に示すように、ゲート電極 71 と半導体基板 70 の間の絶縁膜 72 の中に空隙 73 が形成されている。図5 (a)、図5 (b) に示される構造とすると、ゲート電極形成時におけるゲート歩留まりが向上し、絶縁膜 72 の中に空隙 73 が存在すると空隙の比誘電率は真空と同じ1となることにより絶縁膜 72 のみで保持する場合に比べて、ゲート寄生容量が低減可能で、高周波特性を向上できるようになるといった効果を奏する。

【0017】 (第6の実施の形態) 次に、本発明の第6の実施の形態を図面を参照して詳細に説明する。図6は本発明の第6の実施の形態にかかる半導体装置のデバイ

ス構造を説明するための断面図である。図 6 (a) を参照すると、本発明の第 6 の実施の形態として断面 T 字型電界効果トランジスタのゲート部上面図が示されている。図 6 (b) および図 6 (c) は、図 6 (a) の A-A' 切断線、B-B' 切断線のそれぞれに沿った断面図である。

【0018】本実施の形態では、図 6 (a)、図 6

(c) に示すように、ゲート電極 81 と半導体基板 80 の間にゲート電極 81 を保持するため絶縁膜 82 が形成されている。また、図 6 (b)、図 6 (c) の断面図に示すように、図 6 (b) で示す断面部分では、ゲート電極 81 と半導体基板 80 の間が絶縁膜 82 で埋め込まれておらず、図 6 (c) に示す断面部分では、ゲート電極 81 と半導体基板 80 の間が絶縁膜 82 で埋め込まれており、さらに、絶縁膜 82 中に空隙 83 が存在する。図 6 (a)、図 6 (b)、図 6 (c) に示すように、絶縁膜 82 は、ゲート電極 81 の幅（長手方向）に部分的に除去されている。本実施の形態では、ゲート電極 81 を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、絶縁膜 82 の中に空隙 83 が存在すると空隙の比誘電率は真空と同じ 1 となることにより絶縁膜 82 のみで保持する場合に比べて、ゲート寄生容量が低減され、高周波特性を向上できるようなるといった効果を奏する。

【0019】（第 7 の実施の形態）次に、本発明の第 7 の実施の形態を図面を参照して詳細に説明する。図 7 は本発明の第 7 の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。図 7 (a) を参照すると、本発明の第 7 の実施の形態として断面 T 字型電界効果トランジスタのゲート部上面図が示されている。図 7 (b) および図 7 (c) は、図 7 (a) の A-A' 切断線、B-B' 切断線のそれぞれに沿った断面図である。

【0020】本実施の形態では、図 7 (b)、図 7

(c) に示すように、ゲート電極 91 と半導体基板 90 の間にゲート電極 91 を保持するため絶縁膜 92 が形成されている。また、図 7 (b)、図 7 (c) の断面図に示すように、図 7 (b) で示す断面部分では、ゲート電極 91 の下に絶縁膜 92 が存在はするが、ゲート電極 91 と半導体基板 90 の間が絶縁膜 92 で埋め込まれておらず、図 7 (c) に示す断面部分では、ゲート電極 91 と半導体基板 90 の間が絶縁膜 92 で埋め込まれており、さらに、絶縁膜 92 中に空隙 93 が存在する。図 7 (a)、図 7 (b)、図 7 (c) に示すように、絶縁膜 92 は、ゲート電極 91 の幅（長手方向）に部分的に除去されている。本実施の形態では、ゲート電極 91 を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、絶縁膜 92 の中に空隙 93 が存在すると空隙の比誘電率は

真空と同じ 1 となることにより絶縁膜 92 のみで保持する場合に比べて、ゲート寄生容量が低減され、高周波特性を向上できるようになるといった効果を奏する。

【0021】（第 8 の実施の形態）次に、本発明の第 8 の実施の形態を図面を参照して詳細に説明する。図 8 は本発明の第 8 の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。図 8 (a) を参照すると、本発明の第 8 の実施の形態として断面 T 字型電界効果トランジスタのゲート部上面図が示されている。

図 8 (b) および図 8 (c) は、図 8 (a) の A-A' 切断線、B-B' 切断線のそれぞれに沿った断面図である。

【0022】本実施の形態では、図 8 (a)、図 8

(c) に示すように、ゲート電極 101 と半導体基板 100 の間にゲート電極 101 を保持するため絶縁膜 102 が形成されている。また、図 8 (b)、図 8 (c) の断面図に示すように、図 8 (b) で示す断面部分では、ゲート電極 101 の片側（例えば、ソース電極側）において、ゲート電極 101 と半導体基板 100 の間が絶縁膜 102 で埋め込まれておらず、また、埋め込まれている側においても、絶縁膜 102 中に空隙 103 が存在している。図 8 (c) に示す断面部分では、ゲート電極 101 と半導体基板 100 の間が絶縁膜 102 で埋め込まれており、図 8 (b) と同様に、絶縁膜 102 中に空隙 103 が存在する。図 8 (a)、図 8 (b)、図 8

(c) に示すように、絶縁膜 102 は、ゲート電極 101 の幅（長手）方向に部分的に除去されている。本実施の形態では、ゲート電極 101 を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、絶縁膜 102 の中に空隙 103 が存在すると空隙の比誘電率は真空と同じ 1 となることにより絶縁膜 102 のみで保持する場合に比べて、ゲート寄生容量が低減され、高周波特性を向上できるようなるといった効果を奏する。

【0023】図 9 および図 10 は本発明の最終的にゲート保護用絶縁膜を形成した場合を示した断面図である。上記の実施の形態は、ゲート形成段階での断面向上であり、デバイスの最終形態では、図 9 および図 10 に示すように、図 1 (b)、(c)～図 8 (b)、(c) に示す第 1 実施の形態乃至第 8 実施の形態のそれぞれの断面形状に対して、保護膜 1102 が成膜され、湿気等によるゲート電極 1101 の劣化を避ける工夫がなされる。このとき、図 9 (a)～(c)、図 10 (d)～(f) のように、ゲート電極 1101 と半導体基板 1103 の間に、もともと絶縁膜 1104 あるいは空隙 1106 を有する絶縁膜 1105 が存在していない場合、この間を保護膜 1102 が埋めないようにすることが必要である。

【0024】（第 9 の実施の形態）次に、本発明の第 9 の実施の形態を図面を参照して詳細に説明する。図 1 1

乃至図 14 は本発明の第 9 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。図 11

(a) に示すように、トランジスタ動作のために必要な GaAs 能動層 1202 (例えば、 $1 \times 10^{-17} \text{ cm}^{-3}$ の n 層を厚さ 100 nm) が形成された半導体基板 1201 上に絶縁膜 (例えば、厚さ 200 nm の SiO₂、比誘電率 3.9) 1203 を形成する。続いて、図 11 (b) に示すように、絶縁膜 1203 上に第 1 のレジスト膜 1204 を塗布形成し、露光により所望の位置にレジスト開口 1205 を形成する。次いで図 11

(c) に示すように、第 1 のレジスト膜 1204 をマスクにレジスト開口 1205 を通して絶縁膜 1203 をエッチングし、絶縁膜開口 1206 を形成し、GaAs 能動層 1202 を露呈させる。続いて、図 12 (d) に示すように、露呈した GaAs 能動層 1202 を所望のしきい値になるように、所望の深さエッチングする。続いて、ゲート金属 1211 (例えば、WSi/Pt/Au の層構造) を全面にスパッタ蒸着を行った後、ゲート金属 1211 上に、エッチングされた絶縁膜開口 1206 を含んで所望の大きさになるように第 2 のレジスト膜 1207 を塗布形成した後、露光して不要部のレジストを除去し、ゲート金属 1211 を露呈する。続いて、図 12 (e) に示すように、この第 2 のレジスト膜 1207 をマスクに露呈したゲート金属 1211 をドライエッチングし、ゲート電極 1208 を形成し、絶縁膜 1203 を露呈させる。続いて、図 12 (f) に示すように、第 3 のレジスト膜 1209 を全面に塗布形成する。続いて、図 13 (g) に示すように、ゲート電極 1208 を含んで、図 13 (h) の上面図に示すように、ゲート電極 1208 上をストライプ状に横断する所望の大きさのレジストマスク 1210 を形成する。続いて、図 14

(i) の上面図に示すように、バッファードフッ酸でレジストマスク 1210 により露呈している絶縁膜 1203 とゲート電極 1208 下の絶縁膜 1203 をエッチング除去した後、不要のレジストマスク 1210 を除去する。すなわち、図 14 (j) および図 14 (k) は、図 14 (i) の A-A' 切断線、B-B' 切断線のそれぞれに沿った断面図であるが、この断面図に示すように、図 14 (j) で示す断面部分では、ゲート電極 1208 と半導体基板 1201 の間の絶縁膜 1203 を除去し、図 14 (k) に示す断面部分では、ゲート電極 1208 と半導体基板 1201 の間に絶縁膜 1203 を埋め込む。本実施の形態では、ゲート電極 11 を保持すると同時に部分的に絶縁膜 1203 が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上させる効果がもたらされ、このようなプロセスにより、図 1 に示されるゲート断面構造が形成できる。なお、図 2、図 3 および図 4 の断面構造は、図 13 (g) におけるレジストマスク 1210 の形状を変更することにより容易に形成で

きる。

【0025】 (第 10 の実施の形態) 次に、本発明の第 10 の実施の形態を図面を参照して詳細に説明する。図 15 乃至図 18 は本発明の第 10 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。図 15 乃至図 18 は、塗布性の低誘電率絶縁膜を用いて図 4 の構造を形成するプロセスの実施の形態である。図 12 (f) まで同一プロセスで形成したとする。図 15

(a) の上面図に示すように、ゲート電極 1306 の一部と第 1 の絶縁膜 1303 (例えば、二酸化ケイ素膜、比誘電率 ~ 3.9) の一部が露呈する開口パターンを持つ第 1 のレジストマスク 1308 を形成する。続いて、図 15 (b) の上面図に示すように、第 1 のレジストマスク 1308 を通して露呈している空隙 1310 を有する第 1 の絶縁膜 1303 とゲート電極 1306 下の第 1 の絶縁膜 1303 をエッチング除去する。すなわち、図 16 (c) および図 16 (d) は、図 15 (b) の A-A' 切断線、B-B' 切断線のそれぞれに沿った断面図であるが、この断面図に示すように、図 16 (c) で示す断面部分では、ゲート電極 1306 の片側 (例えば、ソース電極側) において、ゲート電極 1306 と半導体基板 1301 の間の第 1 の絶縁膜 1303 を除去し、図 16 (d) に示す断面部分では、例えば、ドレイン側においてゲート電極 1306 と半導体基板 1301 の間の第 1 の絶縁膜 1303 を除去する。続いて、図 17

(e) の上面図に示すように、第 1 の絶縁膜 1303 より比誘電率の小さい塗布性の第 2 の絶縁膜 (例えば、デュボン社製フッ化ポリイミド FPI-136M、比誘電率 2.6、以下 FPI 膜) 1311 を塗布形成する。続いて、図 17 (f) の上面図に示すように、酸素プラズマにより第 1 の絶縁膜 1303 とゲート電極 1306 上の第 2 の絶縁膜 1311 を除去する。続いて、図 18

(g) の上面図に示すように残余の第 1 の絶縁膜 1303 をバッファードフッ酸によりウエットエッチング除去する。すなわち、図 18 (h) は、図 18 (g) の A-A' 切断線に沿った断面図であるが、第 2 の絶縁膜 1311 は、ゲート電極 1306 の幅 (長手方向) に部分的に除去され、なおかつ、第 2 の絶縁膜 1311 がドレイン電極側とソース電極側で交互に存在する構造とすることで、ゲート電極 1306 を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上させる効果がもたらされ、このようなプロセスにより、図 4 に示されるゲート断面構造が形成できる。

【0026】 (第 11 の実施の形態) 次に、本発明の第 11 の実施の形態を図面を参照して詳細に説明する。図 19 乃至図 24 は本発明の第 11 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。図 19 (a) に示すように、トランジスタ動作のために必

要なGaAs能動層1402（例えば、 $1 \times 10^{-17} \text{ cm}^{-3}$ のn層を厚さ100nm）が形成された半導体基板1401上に第1の絶縁膜1403（例えば、厚さ200nmのSiO₂、比誘電率3.9）を形成し、続いて、第1のレジストを塗布形成した後、露光現像することにより所望の位置に第1のレジストマスク1404を形成し、第1の絶縁膜1403を露呈する。続いて、図19（b）に示すように、第1のレジストマスク1404により露呈した第1の絶縁膜1403をエッチング除去した後、不要の第1のレジストマスク1404を除去する。これを上視した図が、図20（c）である。続いて、図20（d）に示すように第2のレジストマスク1405を塗布形成し、露光現像により第2のレジストマスク1405を形成し、第1の絶縁膜1403上所望の位置にレジスト開口1406を形成する。次いで図21（e）に示すように、レジスト開口1406を通して露呈した第1の絶縁膜1403をエッチングし、ゲート絶縁膜開口1407を形成し、能動層1402を露呈させる。続いて、図21（f）に示すように、残余の第2のレジストマスク1405を除去した後、第1の絶縁膜1403より比誘電率の小さい第2の絶縁膜1408（例えば、ダウケミカル社製 Dow Cyclotene 5021（ベンゾシクロブテン）benzocyclobutene、比誘電率2.6、以下BCB膜）を形成した後、第3のレジスト膜を塗布形成し、次いでゲート絶縁膜開口1407直上に第3のレジストマスク1409による開口を形成する。続いて、図21（g）に示すように、第3のレジストマスク1409を通して第2の絶縁膜をエッチングしてゲート開口1410を形成し、能動層1402を露呈させる。続いて、図22（h）に示すように、残余の第3のレジストマスク1409を除去した後、露呈した能動層1402を所望の閾値になるように、所望の深さエッチングする。続いて、ゲート金属1411（例えば、WSi/Pt/Auの層構造）を全面にスパッタ蒸着を行う。続いて、図22（i）に示すように、ゲート金属1411上に、ゲート開口1410を含んで所望の大きさになるように第4のレジスト膜を塗布形成した後、露光現像して不要部のレジストを除去し、ゲート金属1411を露呈するように、第4のレジストマスク1412を形成する。続いて、図22（j）に示すように、第4のレジストマスク1412により露呈したゲート金属1411をドライエッチングし、ゲート電極1413を形成し、第2の絶縁膜1408を露呈させる。続いて、図23（k）の上面図に示すように、第5のレジスト膜を全面に塗布形成し、第1の絶縁膜1403の端部を覆わない第5のレジストマスク1414を形成する。続いて、図23（l）の上面図に示すように、第5のレジストマスク1414により第2の絶縁膜1408をドライエッチング（例えば、酸素）除去し、残余の第5のレジストマスク141

4を除去する。すなわち、図24（m）、図24（n）は、図23（l）のA-A'切断線に沿った断面図であるが、図24（m）に示すように、第2の絶縁膜1408が、ゲート電極1413下に存在し、なおかつ、第1の絶縁膜1403を覆うようにすることができる。また、続いて、図24（n）に示すように、第1の絶縁膜1403をバッファードフッ酸によりウエットエッチング除去することにより、第2の絶縁膜1408中に空隙1415を形成することができる。ゲート電極1413を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上させる効果がもたらされ、このようなプロセスにより、図5に示されるようなゲート断面構造が形成できる。

【0027】（第12の実施の形態）次に、本発明の第12の実施の形態を図面を参照して詳細に説明する。図25乃至図30は本発明の第12の実施の形態にかかる半導体装置製造方法を説明するための工程図である。図25（a）に示すように、トランジスタ動作のために必要なGaAs能動層1502（例えば、 $1 \times 10^{-17} \text{ cm}^{-3}$ のn層を厚さ100nm）が形成された半導体基板1501上に第1の絶縁膜1503（例えば、厚さ200nmのSiO₂）を形成し、続いて、第1のレジストを塗布形成した後、露光現像することにより所望の位置に第1のレジストマスク1504を形成し、第1の絶縁膜1503を露呈する。続いて、図25（b）に示すように、第1のレジストマスク1504により露呈した第1の絶縁膜1503をエッチング除去した後、不要の第1のレジストマスク1504を除去する。これを上視した図が、図26（c）である。続いて、図26

（d）に示すように第2のレジストを塗布形成し、露光現像により第2のレジストマスク1505を形成し、第1の絶縁膜1503上所望の位置にレジスト開口1506を形成する。次いで図27（e）に示すように、レジスト開口1506を通して露呈した第1の絶縁膜1503をエッチングし、ゲート絶縁膜開口1507を形成し、能動層1502を露呈させる。続いて、図27

（f）に示すように、残余の第2のレジストマスク1505を除去した後、第1の絶縁膜1503より比誘電率の小さい第2の絶縁膜1508を形成した後、第3のレジスト膜を塗布形成し、次いでゲート絶縁膜開口1507直上に第3のレジストマスク1509による開口を形成する。続いて、図27（g）に示すように、第3のレジストマスク1509を通して第3の絶縁膜をエッチングしてゲート開口1510を形成し、能動層1502を露呈させる。続いて、図28（h）に示すように、残余の第3のレジストマスク1509を除去した後、露呈した能動層1502を所望のしきい値になるように、所望の深さエッチングする。続いて、ゲート金属1511（例えば、WSi/Pt/Auの層構造）を全面にスパ

ッタ蒸着を行う。続いて、図 28 (i) に示すように、ゲート金属 1511 上に、ゲート開口 1510 を含んで所望の大きさになるように第 4 のレジスト膜を塗布形成した後、露光現像して不要部のレジストを除去し、ゲート金属 1511 を露呈するように、第 4 のレジストマスク 1512 を形成する。続いて、図 28 (j) に示すように、第 4 のレジストマスク 1512 により露呈したゲート金属 1511 をドライエッチングし、ゲート電極 1513 を形成し、第 2 の絶縁膜 1508 を露呈させる。続いて、図 29 (k) の上面図に示すように、残余の第 4 のレジストマスク 1512 および露呈した第 2 の絶縁膜 1508 を除去する。すなわち、図 29 (l)、図 29 (m) は、図 29 (k) の A-A' 切断線、B-B' 切断線に沿った断面図であるが、図 29 (l) に示すように、第 2 の絶縁膜 1508 が、ゲート電極 1513 下に存在し、なおかつ、第 1 の絶縁膜 1503 を覆うようにすることができる。また、図 29 (m) の位置では、ゲート電極 1513 下に第 1 の絶縁膜 1503 と第 2 の絶縁膜 1508 が層構造として存在させることができる。また、続いて、第 1 の絶縁膜 1503 をバッファードフッ酸によりウエットエッチング除去することにより、図 30 (n) に示すように、第 2 の絶縁膜 1508 中に空隙 1515 を形成することができる。また、図 30 (o) に示すように、第 2 の絶縁膜 1508 下の第 1 の絶縁膜 1503 を除去することができる。ゲート電極 1513 を保持すると同時に部分的に第 1 の絶縁膜 1503 が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上させる効果がもたらされ、このようなプロセスにより、図 7 に示されるようなゲート断面構造が形成できる。

【0028】(第 13 の実施の形態) 次に、本発明の第 13 の実施の形態を図面を参照して詳細に説明する。図 31 乃至図 36 は本発明の第 13 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。図 31 (a) に示すように、トランジスタ動作のために必要な GaAs 能動層 1602 (例えば、 $1 \times 10^{-17} \text{ cm}^{-3}$ の n 層を厚さ 100 nm) が形成された半導体基板 1601 上に第 1 の絶縁膜 1603 (例えば、厚さ 200 nm の SiO_2) を形成し、続いて、第 1 のレジストを塗布形成した後、露光現像することにより所望の位置に第 1 のレジストマスク 1604 を形成し、第 1 の絶縁膜 1603 を露呈する。続いて、図 31 (b) に示すように、第 1 のレジストマスク 1604 により露呈した第 1 の絶縁膜 1603 をエッチング除去した後、不要の第 1 のレジストマスク 1604 を除去する。続いて、図 31 (c) に示すように第 2 のレジストを塗布形成し、露光現像によりマスク 1605 を形成し、第 1 の絶縁膜 1603 上所望の位置にレジスト開口 1606 を形成する。次いで図 32 (d) に示すように、レジスト開

口 1606 を通して露呈した第 1 の絶縁膜 1603 をエッチングし、ゲート絶縁膜開口 1607 を形成し、能動層 1602 を露呈させる。続いて、図 32 (e) に示すように、残余の第 2 のレジストマスク 1605 を除去した後、第 1 の絶縁膜 1603 より比誘電率の小さい第 2 の絶縁膜 1608 を形成した後、第 3 のレジスト膜を塗布形成し、次いでゲート絶縁膜開口 1607 直上に第 3 のレジストマスク 1609 による開口を形成する。続いて、図 32 (f) に示すように、第 3 のレジストマスク 1609 を通して第 3 の絶縁膜をエッチングしてゲート開口 1610 を形成し、能動層 1602 を露呈させる。露呈した能動層 1602 を所望の閾値になるように、所望の深さエッチングし、続いて、図 33 (g) に示すように、残余の第 3 のレジストマスク 1609 を除去した後、ゲート金属 1611 (例えば、 WSi/Pt/Au の層構造) を全面にスパック蒸着を行う。続いて、図 33 (h) に示すように、ゲート金属 1611 上に、ゲート開口 1610 を含んで所望の大きさになるように第 4 のレジスト膜を塗布形成した後、露光現像して不要部のレジストを除去し、ゲート金属 1611 を露呈するように、第 4 のレジストマスク 1612 を形成する。続いて、図 33 (i) に示すように、第 4 のレジストマスク 1612 により露呈したゲート金属 1611 をドライエッチングし、ゲート電極 1613 を形成し、第 2 の絶縁膜 1608 を露呈させる。続いて、図 34 (j) および図 34 (k) の上面図に示すように、ストライプ状にゲート電極 1613 をカバーする第 5 のレジストマスク 1614 を形成する。続いて、図 35 (l) の上面図に示すように第 5 のレジストマスク 1614 により露呈した第 2 の絶縁膜 1608 とゲート電極 1613 下の第 2 の絶縁膜 1608 を除去する。すなわち、図 35 (m)、図 35 (n) は、図 35 (l) の A-A' 切断線、B-B' 切断線のそれぞれに沿った断面図であるが、図 35 (m) に示すように、第 2 の絶縁膜 1608 が、ゲート電極 1613 下に存在し、なおかつ、第 1 の絶縁膜 1603 を覆うようにすることができる。また、図 35 (n) に示す部分では、ゲート電極 1613 の根元部分だけを第 1 の絶縁膜 1603 が保持するようにできる。また、続いて、第 1 の絶縁膜 1603 をバッファードフッ酸でウエットエッチング除去することにより、図 36 (o) に示すように、第 2 の絶縁膜 1608 中に空隙 1615 を形成することができる。また、図 36 (p) では、第 1 の絶縁膜 1603 が除去されている。このようにゲート電極 1613 を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上させる効果がもたらされ、このようなプロセスにより、図 6 に示されるようなゲート断面構造が形成できる。

【0029】(第 14 の実施の形態) 次に、本発明の第

14の実施の形態を図面を参照して詳細に説明する。図37乃至図42は本発明の第14の実施の形態にかかる半導体装置製造方法を説明するための工程図である。図37(a)に示すように、トランジスタ動作のために必要なGaAs能動層1702(例えば、 $1 \times 10^{-17} \text{ cm}^{-3}$ のn層を厚さ100nm)が形成された半導体基板1701上に第1の絶縁膜1703(例えば、厚さ200nmのSiO₂)を形成し、続いて、第1のレジストを塗布形成した後、露光現像することにより所望の位置に第1のレジストマスク1704を形成し、第1の絶縁膜1703を露呈する。続いて、図37(b)に示すように、第1のレジストマスク1704により露呈した第1の絶縁膜1703をバッファードフッ酸によりウエットエッチング除去した後、不要の第1のレジストマスクを除去する。続いて、図37(c)に示すように第2の絶縁膜1705を形成する。次いで図38(d)に示すように、第2のレジストを塗布形成した後、第1の絶縁膜1703直上の所望の位置に第2のレジストマスク1706を用いた露光現像により、レジスト開口1707を形成する。続いて、図38(f)に示すように、レジスト開口1707を通して露呈した第2の絶縁膜1705(例えば、FPI膜)および第1の絶縁膜1703を連続してエッチング除去し、ゲート絶縁膜開口1708を形成し、能動層1702を露呈させる。続いて、図38(g)に示すように、露呈した能動層1702を所望の閾値になるように、所望の深さエッチングしてゲート開口1709を形成し、続いて、図39(h)に示すように、残余の第2のレジストマスク1706を除去した後、ゲート金属1710(例えば、WSi/Pt/Auの層構造)を全面にスパック蒸着を行う。続いて、図39(i)に示すように、ゲート金属1710上に、ゲート開口1709を含んで所望の大きさになるように第3のレジスト膜を塗布形成した後、露光現像して不要部のレジストを除去し、ゲート金属1710を露呈するように、第3のレジストマスク1711を形成する。続いて、図39(j)に示すように、第3のレジストマスク1711により露呈したゲート金属1710をドライエッチングし、ゲート電極1712を形成し、第2の絶縁膜1705を露呈させる。続いて、残余の第3のレジストマスク1711を除去した後、図40(k)の上面図に示すように、第3の絶縁膜1713を形成した後、第4のレジスト膜を塗布形成し、図40(k)の上面図およびそのA-A'線断面図の図40(l)に示されるような第4のレジストマスク1714を形成する。続いて、図40(k)のA-A'切断線およびB-B'切断線の図41(m)、図41(n)に示すように、バッファードフッ酸で第4のレジストマスク1714により露呈している第3の絶縁膜1713を除去し、第2の絶縁膜1705を露呈させる。続いて、図41(o)、図42(p)に示すように、酸素プラズマにより残余の第4

のレジストマスク1714および第2の絶縁膜1705を除去し、第1の絶縁膜1703を露呈させる。続いて、図42(q)および図42(r)に示すように、バッファードフッ酸によって第1の絶縁膜1703を除去することにより、ゲート金属1710の片側を保持し、空隙1715が存在する構造を形成することができる。このようにゲート金属1710を保持すると同時に部分的に絶縁膜が除去されているため、ゲート電極形成時におけるゲート歩留まりが向上し、ゲート寄生容量が低減され、高周波特性を向上させる効果がもたらされ、このようなプロセスにより、図8に示されるゲート断面構造が形成される。

【0030】以上説明したように上記各実施の形態によれば、ゲート電極と基板の間にゲートを支持するために設けられた絶縁膜をゲート電極長手方向に少なくとも一部を除去あるいは比誘電率3以下の低誘電率膜を含む絶縁膜材料で埋め込むことにより、ゲート電極とソース電極の間あるいはゲート電極とドレイン電極の間で発生する寄生容量を低減でき、ゲート電極形成時の歩留まり低下を発生させることがなく、遮断周波数や最高発振周波数を向上でき、さらに、高周波特性を向上できる半導体装置および半導体装置製造方法を提供できるようになるといった効果を奏する。

【0031】なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0032】

【発明の効果】本発明は以上のように構成されているので、ゲート電極と基板の間にゲートを支持するために設けられた絶縁膜をゲート電極長手方向に少なくとも一部を除去あるいは比誘電率3以下の低誘電率膜を含む絶縁膜材料で埋め込むことにより、ゲート電極とソース電極の間あるいはゲート電極とドレイン電極の間で発生する寄生容量を低減でき、ゲート電極形成時の歩留まり低下を発生させることがなく、遮断周波数や最高発振周波数を向上でき、さらに、高周波特性を向上できる半導体装置および半導体装置製造方法を提供できるようになるといった効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。

【図2】本発明の第2の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。

【図3】本発明の第3の実施の形態にかかる半導体装置のデバイス構造を説明するための断面図である。

【図4】本発明の第4の実施の形態にかかる半導体装置

装置製造方法を説明するための工程図である。

【図 28】本発明の第 12 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 29】本発明の第 12 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 30】本発明の第 12 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 3 1】本発明の第 1 3 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

10 【図32】本発明の第13の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 33】本発明の第 13 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 3 4】本発明の第 1 3 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 35】本発明の第 13 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 3 6】本発明の第 1 3 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

20 【図37】本発明の第14の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 38】本発明の第 1.4 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 39】本発明の第 14 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 40】本発明の第 14 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図４１】本発明の第１４の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

30 【図 4 2】本発明の第 1 4 の実施の形態にかかる半導体装置製造方法を説明するための工程図である。

【図 4 3】従来の半導体装置のデバイス構造を説明するための断面図である。

【符号の説明】
10、20、30、40、70、80、90、100…

半導體基板
1 1, 2 1, 3 1, 4 1, 7 1, 8 1, 9 1, 1 0 1...

ゲート電極
1 2, 2 2, 3 2, 4 2, 7 2, 8 2, 9 2, 1 0 2...

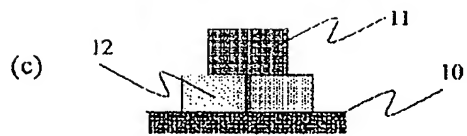
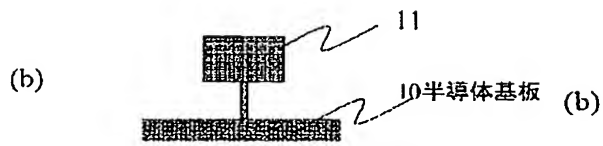
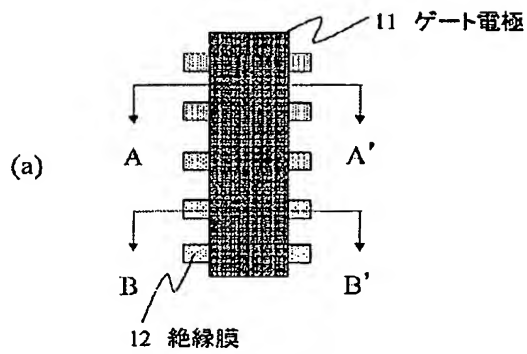
40 絶縁膜
73, 83, 93, 103…空欄

1 1 0 1 …ゲート電極
1 1 0 2 …保護膜

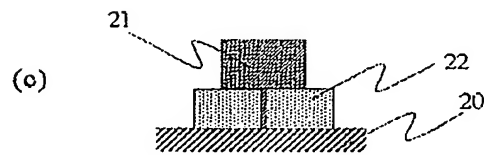
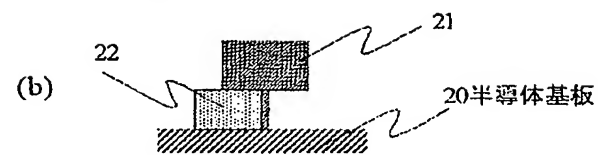
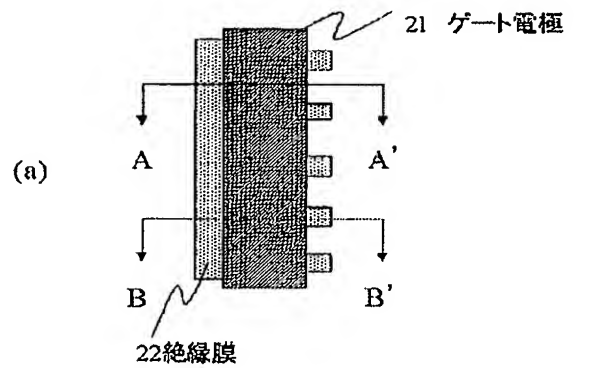
1103…半導體基板
1104、1105…絶縁膜

1106…空隙

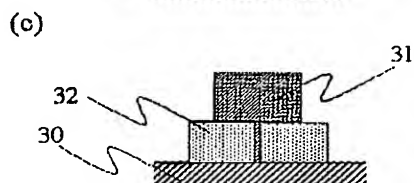
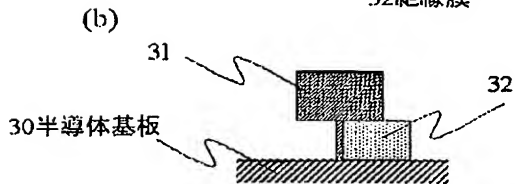
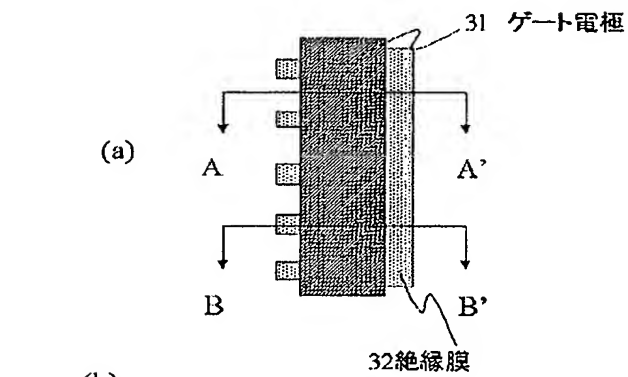
【図1】



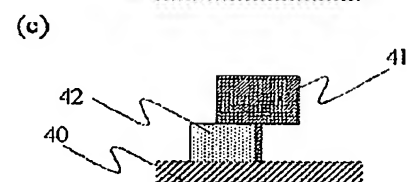
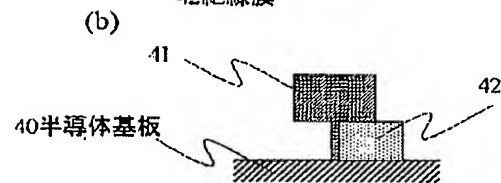
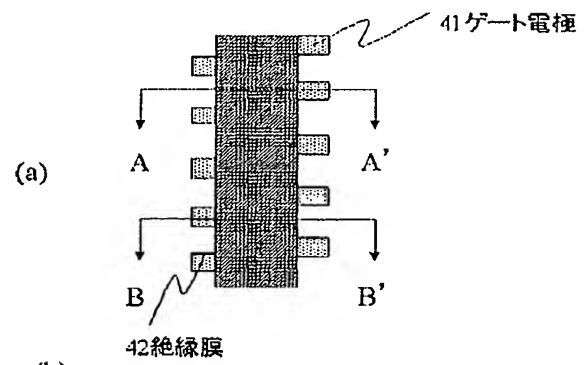
【図2】



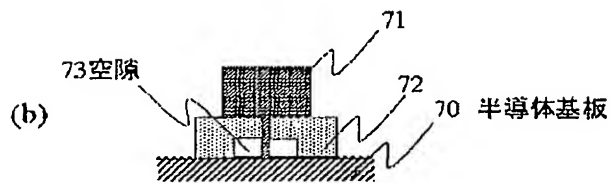
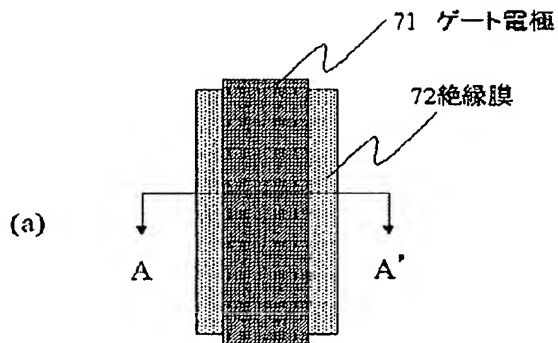
【図3】



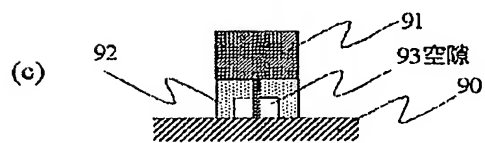
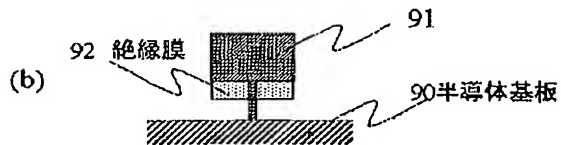
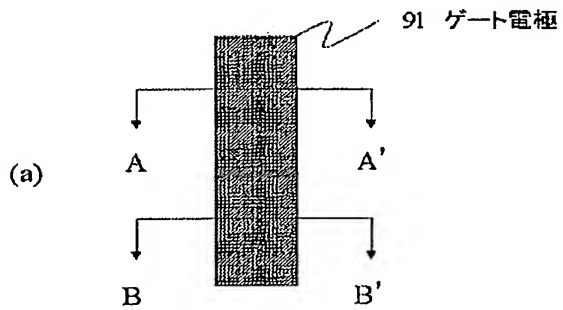
【図4】



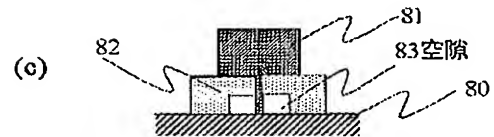
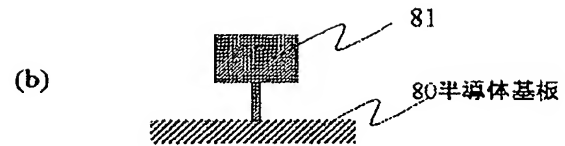
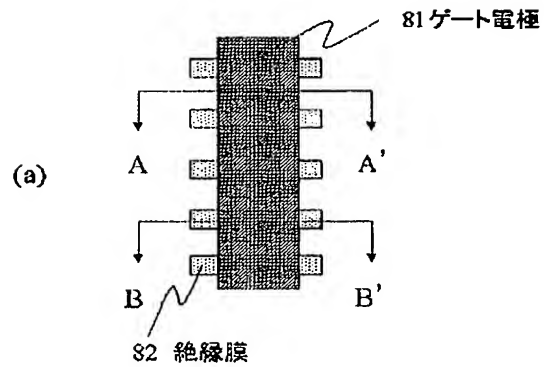
【図5】



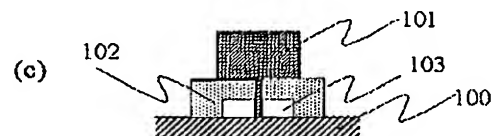
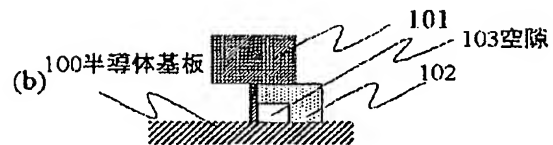
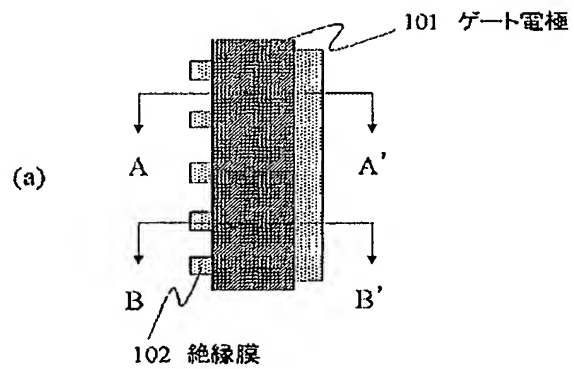
【図7】



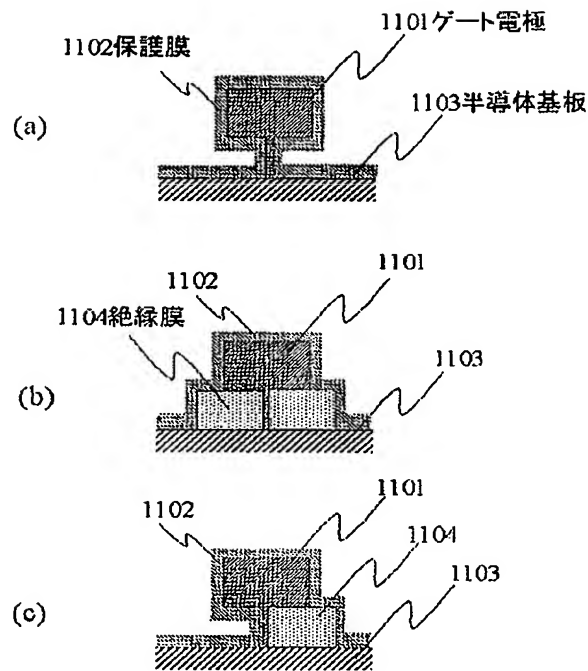
【図6】



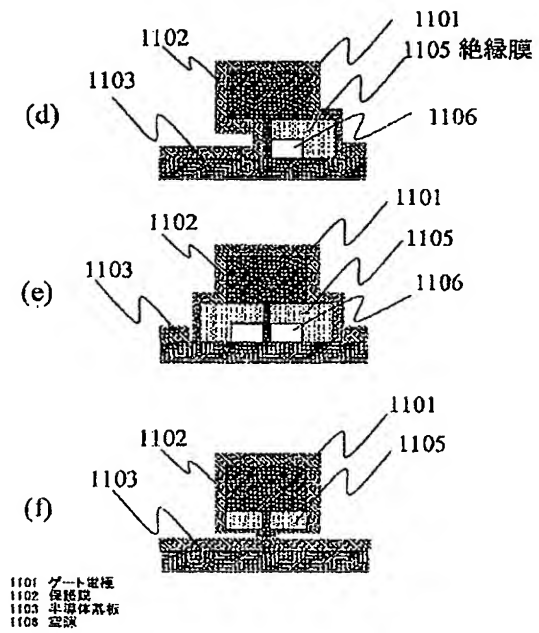
【図8】



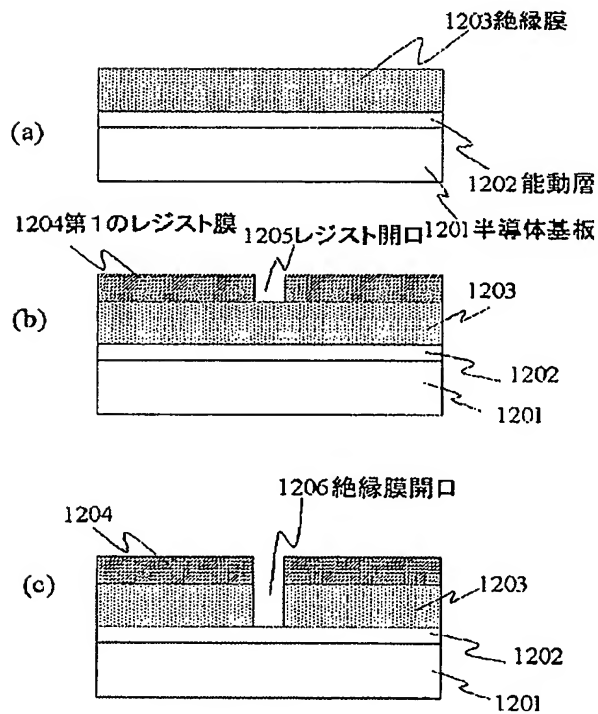
【図9】



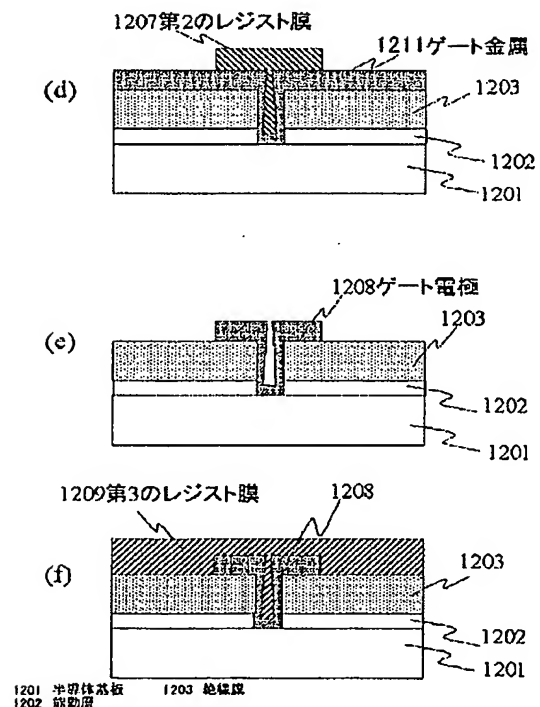
【図10】



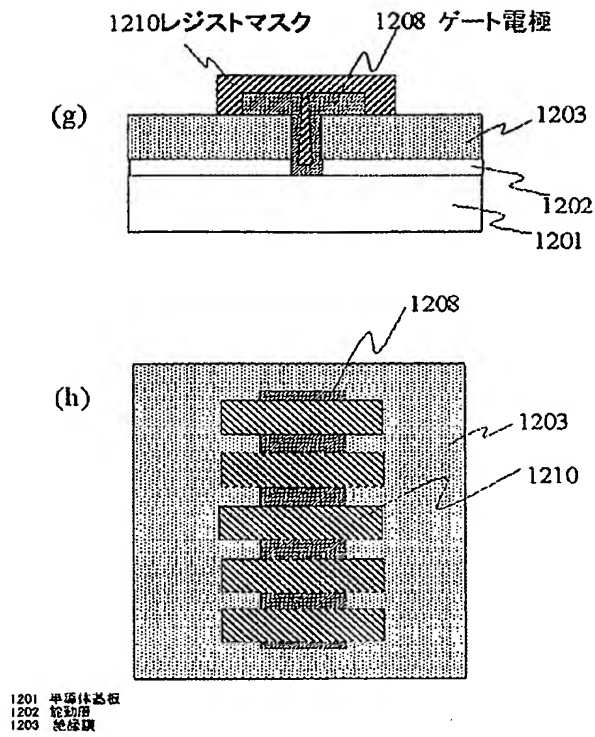
【図11】



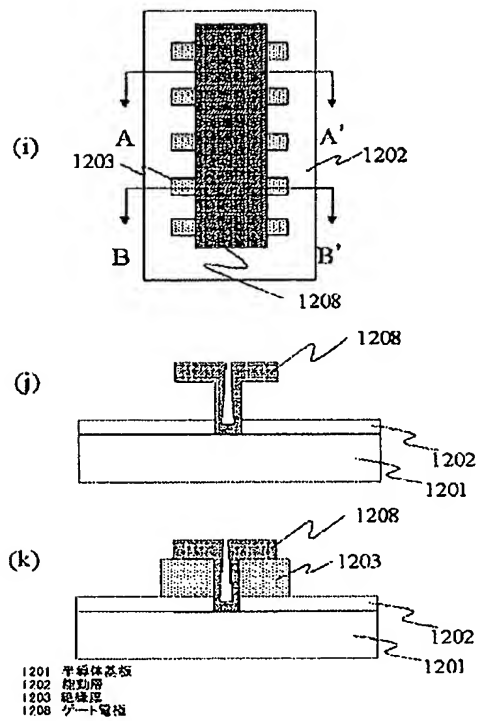
【図12】



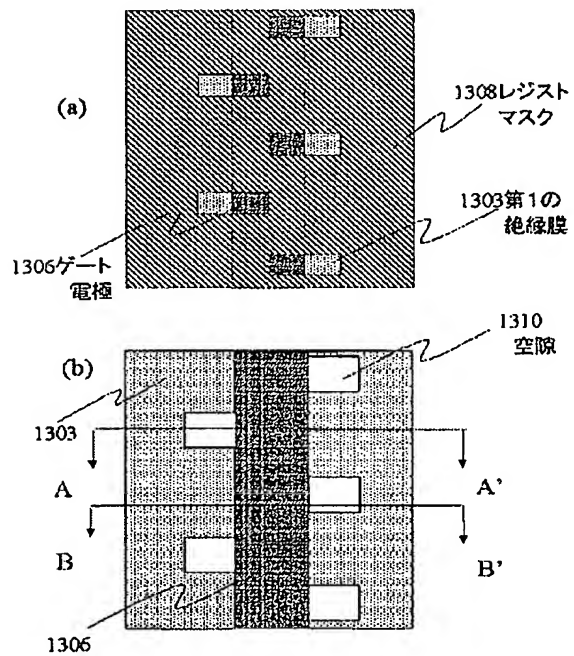
【図 13】



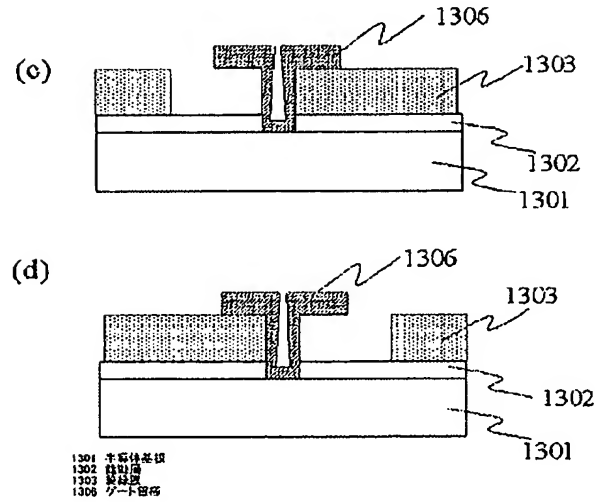
【図 14】



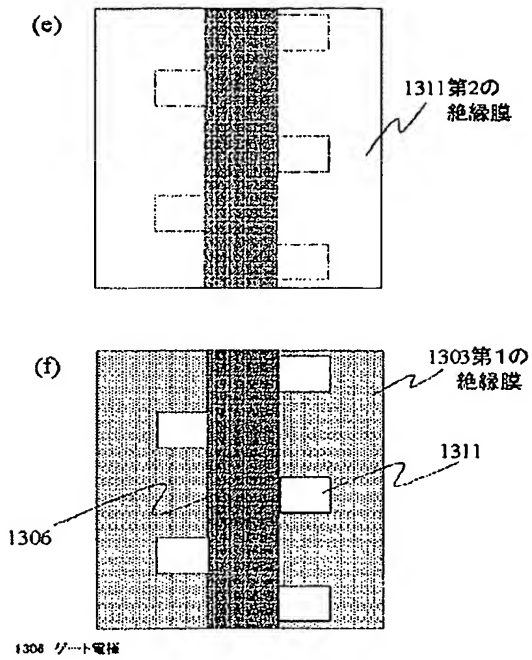
【図 15】



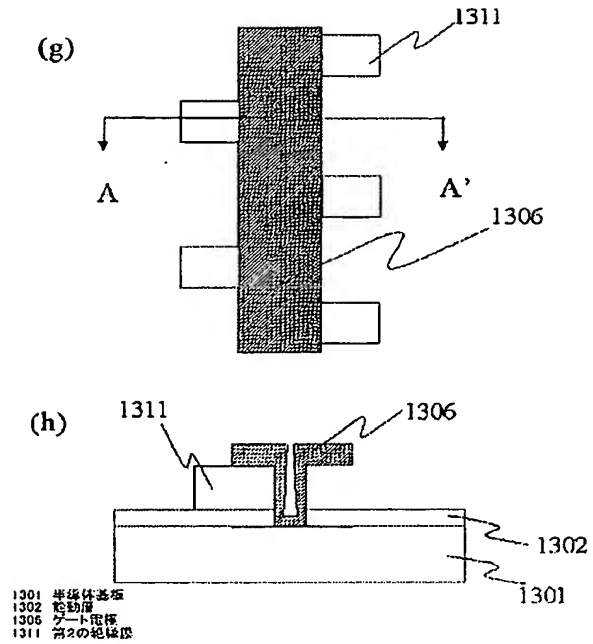
【図 16】



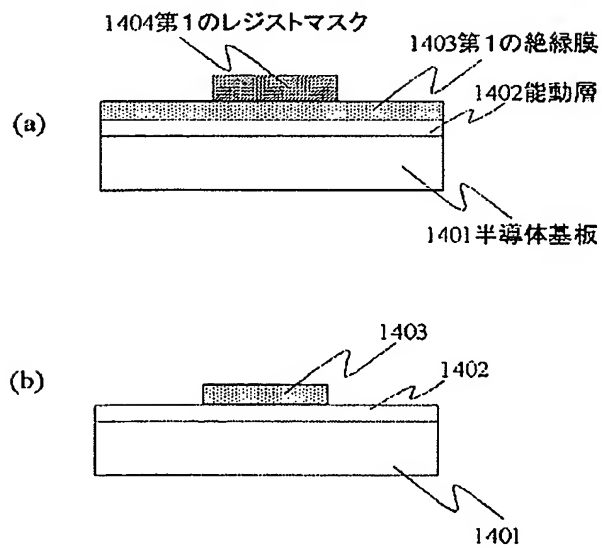
【図17】



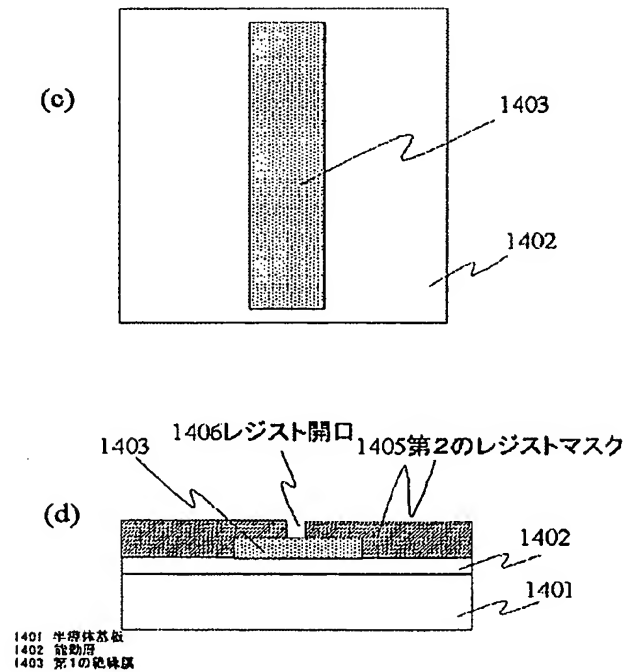
【図18】



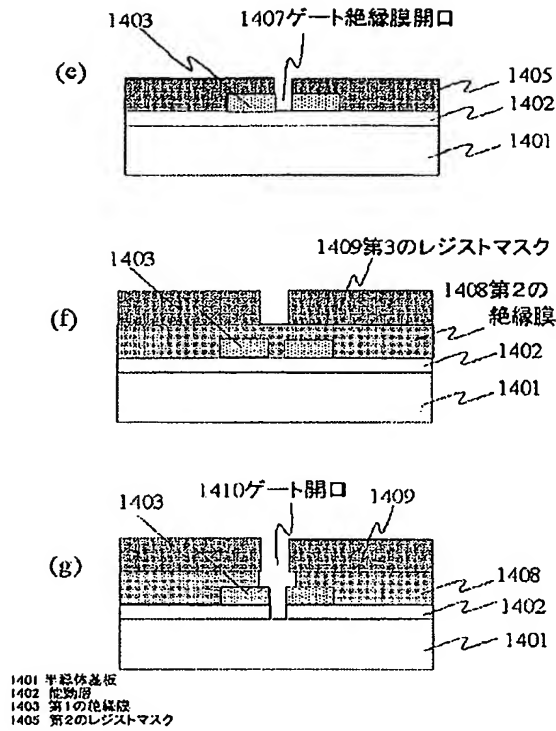
【図19】



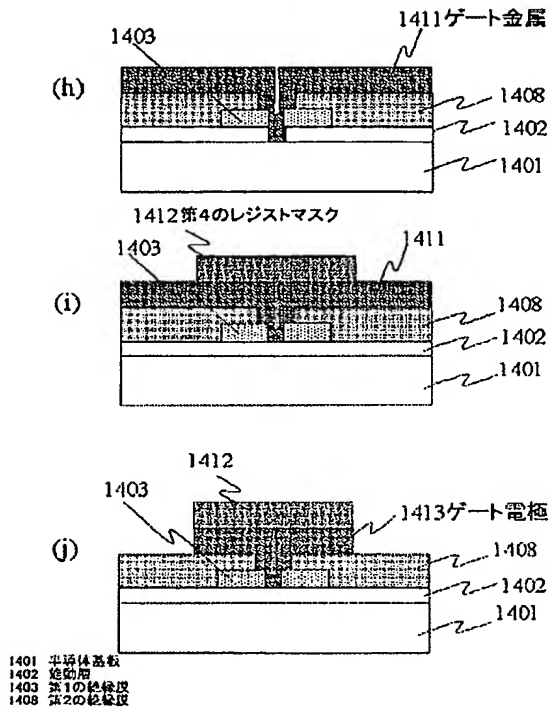
【図20】



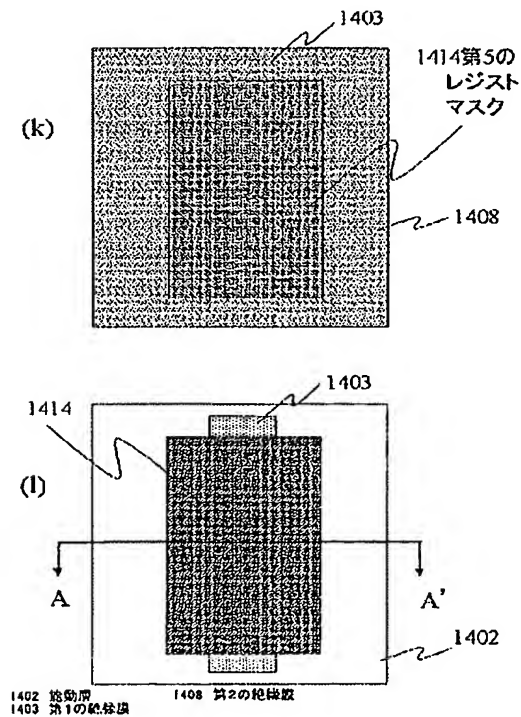
【図 2 1】



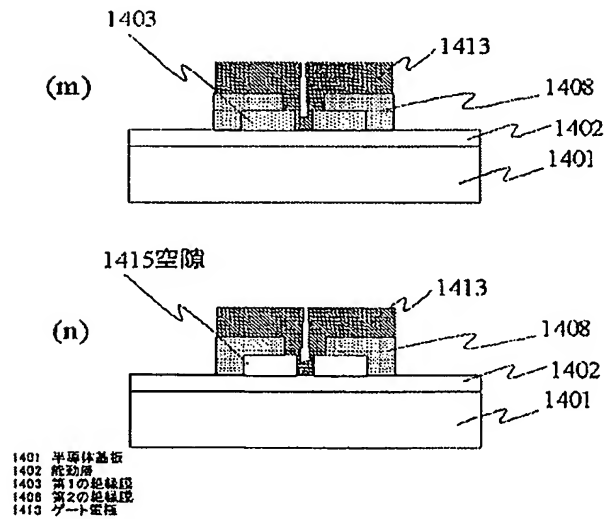
【図 2 2】



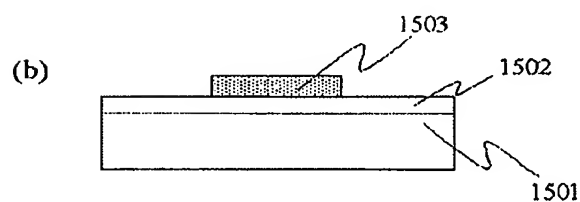
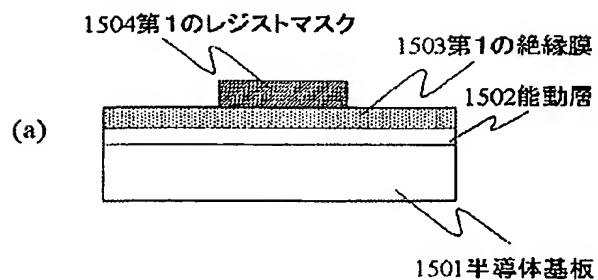
【図 2 3】



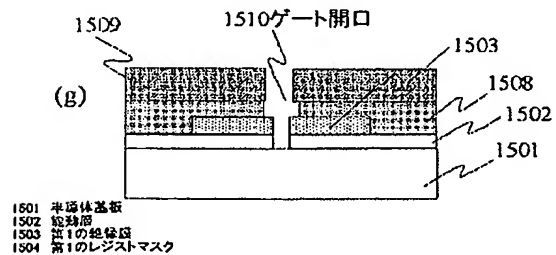
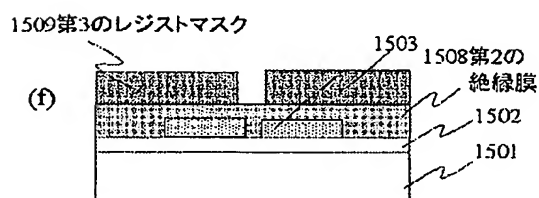
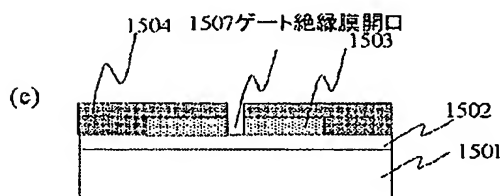
【図 2 4】



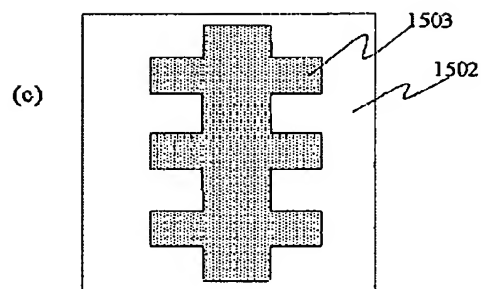
【図 25】



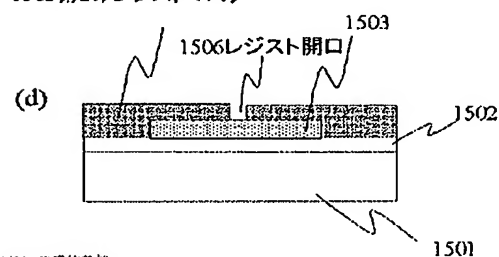
【図 27】



【図 26】

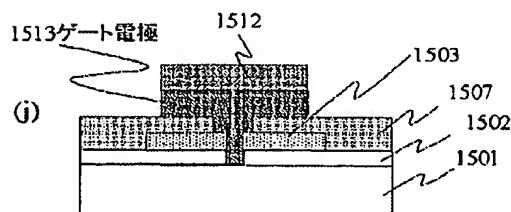
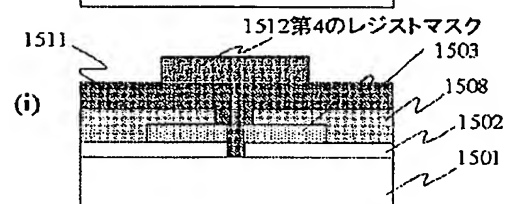
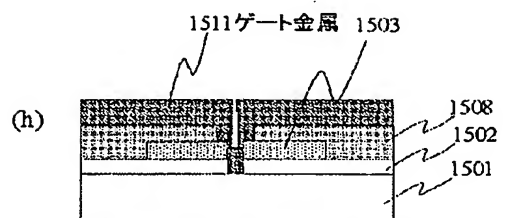


1505第2のレジストマスク



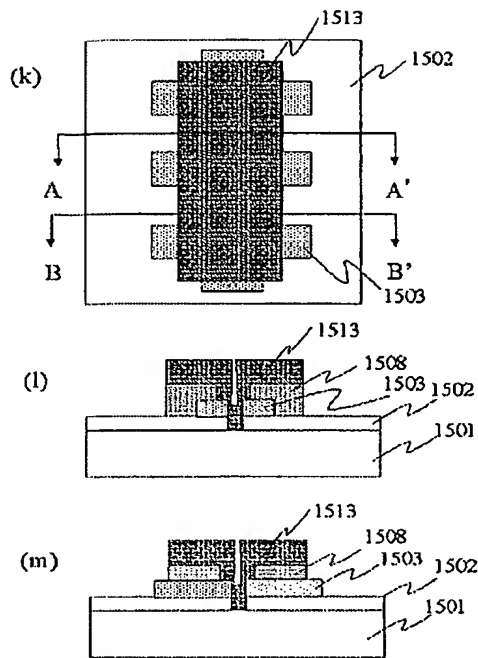
1501 半導体基板
1502 能動層
1503 第1の絶縁膜

【図 28】



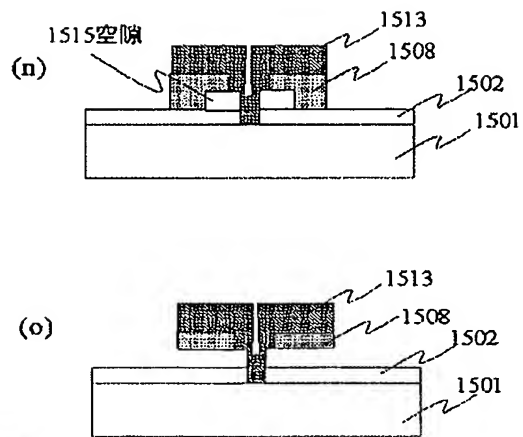
1501 半導体基板
1502 能動層
1503 第1の絶縁膜
1507 ゲート絶縁膜開口
1508 第2の絶縁膜

【図 29】



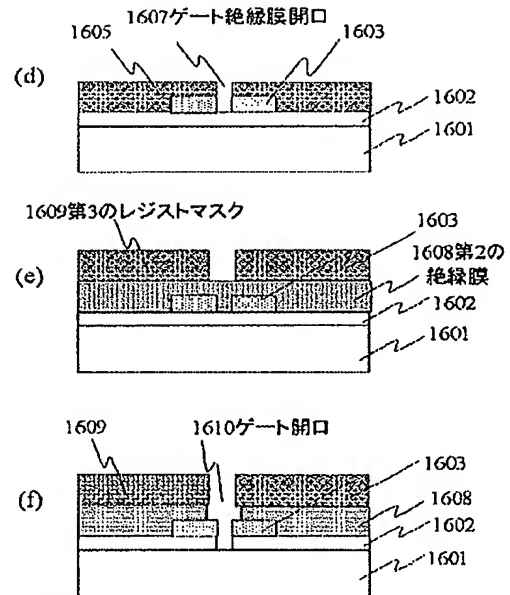
1501 半導体基板
 1502 絶縁層
 1503 第1の絶縁膜
 1508 第2の絶縁膜
 1513 ゲート電極

【図 30】



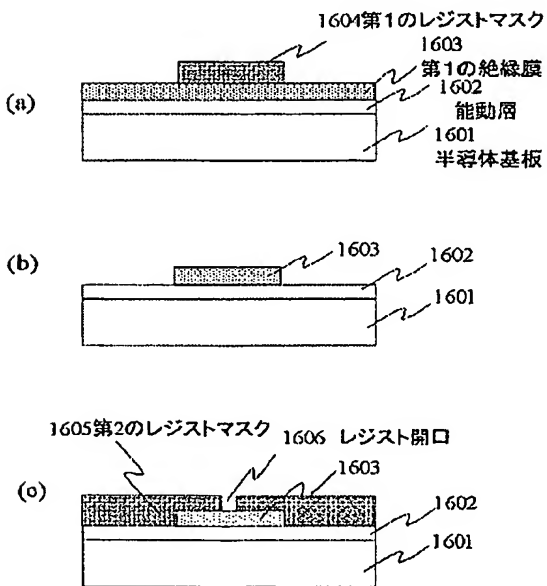
1501 半導体基板
 1502 絶縁層
 1508 第2の絶縁膜
 1513 ゲート電極

【図 32】



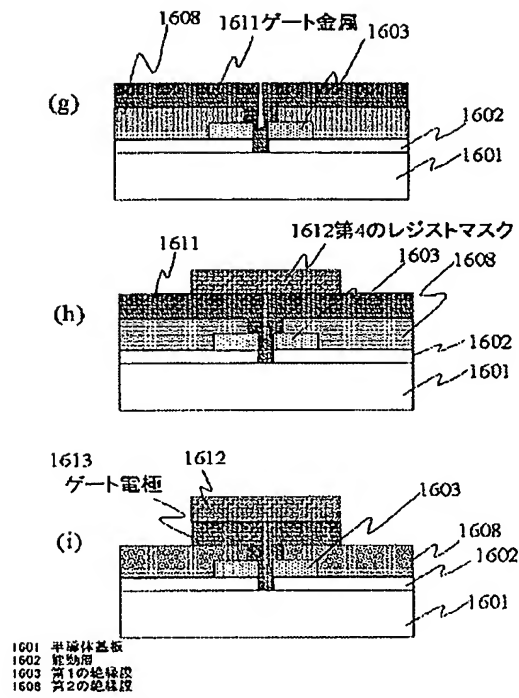
1601 半導体基板
 1602 絶縁層
 1603 第1の絶縁膜
 1605 第2のレジストマスク

【図 31】

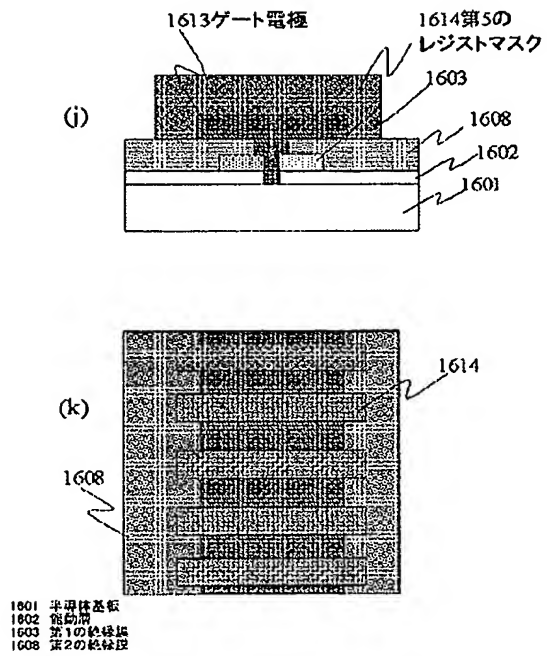


1601 半導体基板
 1602 絶縁層
 1603 第1の絶縁膜
 1604 第2のレジストマスク

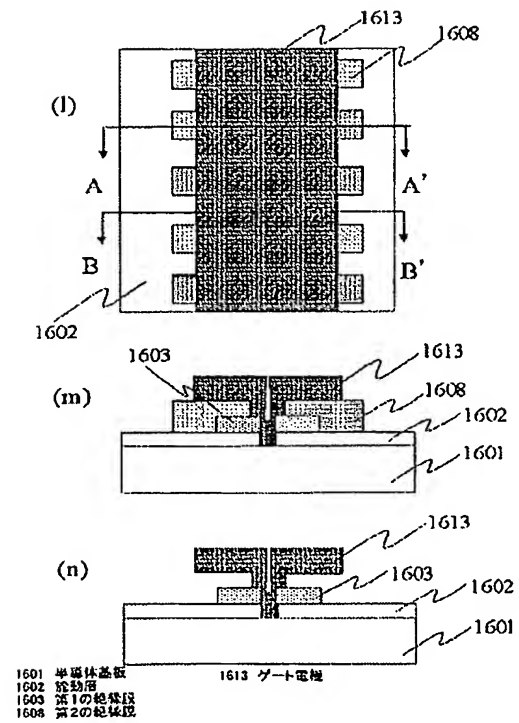
【図 3 3】



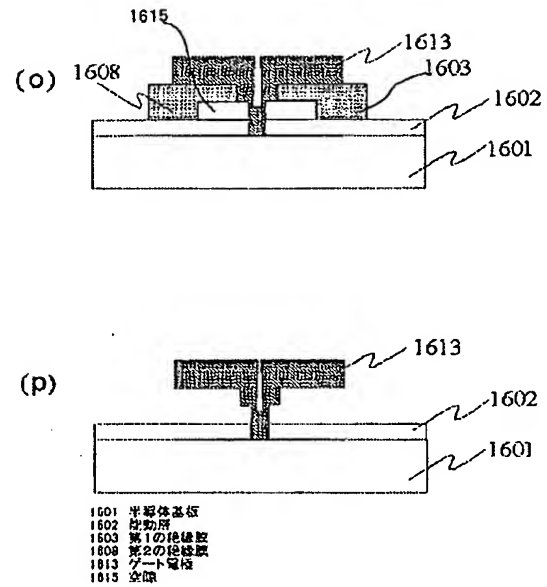
【図 3 4】



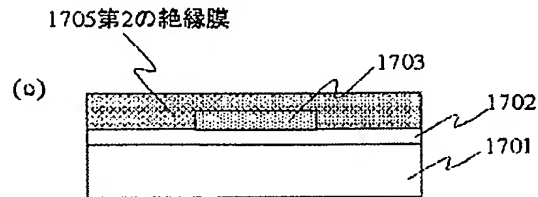
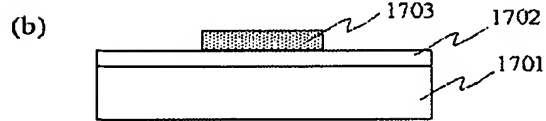
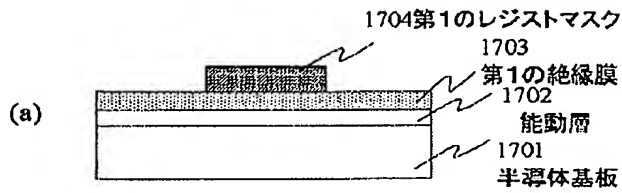
【図 3 5】



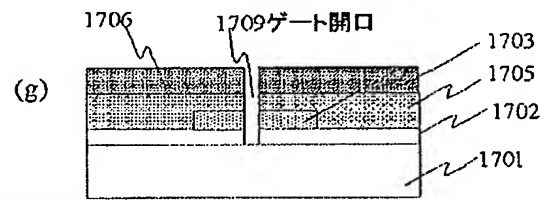
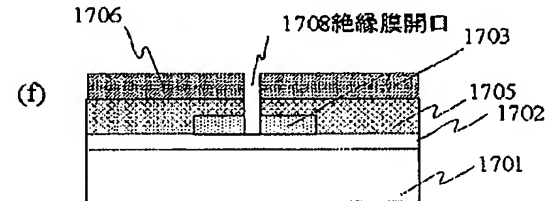
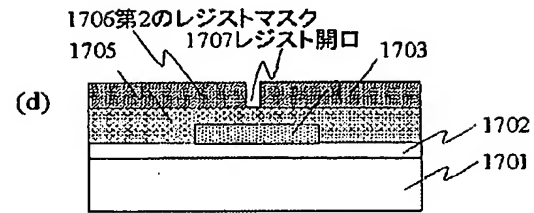
【図 3 6】



【図37】

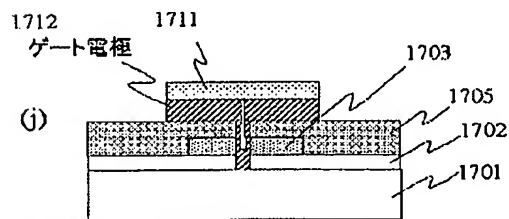
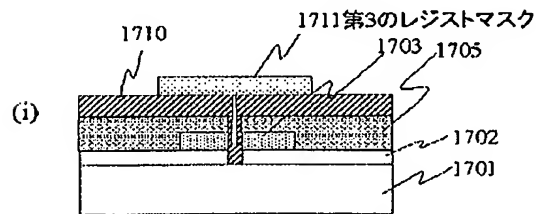
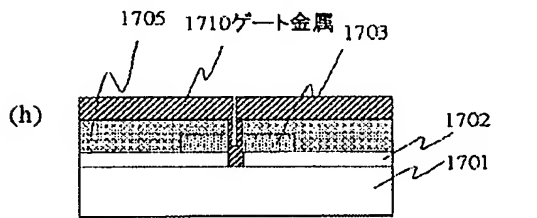


【図38】



1701 半導体基板
1702 能動層
1703 第1の絶縁膜
1705 第2の絶縁膜

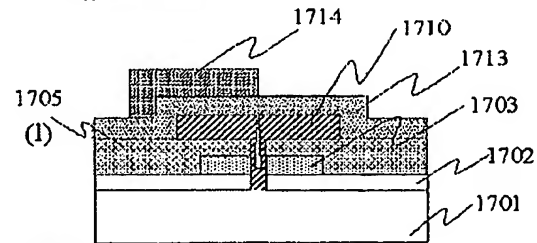
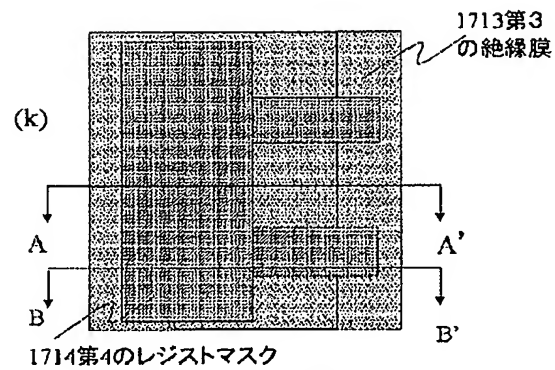
【図39】



1701 半導体基板
1702 能動層
1703 第1の絶縁膜

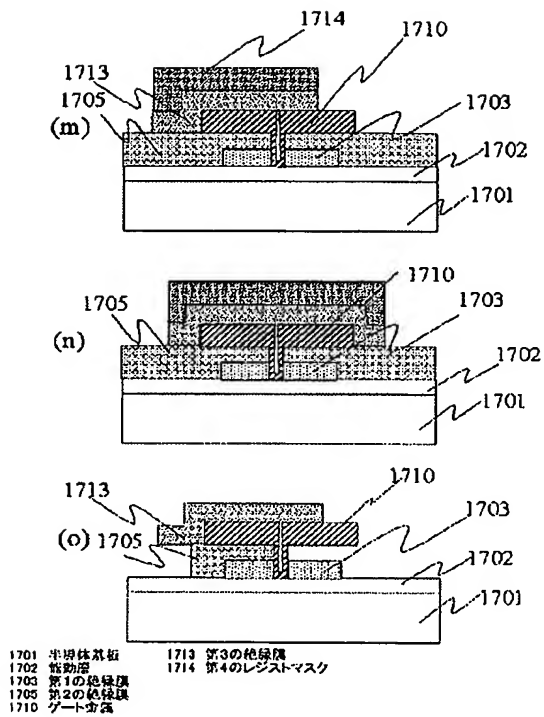
1705 第2の絶縁膜

【図40】

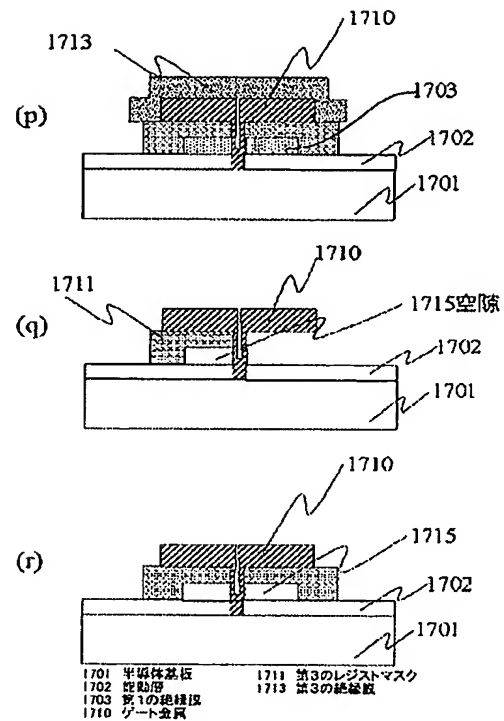


1701 半導体基板
1702 能動層
1703 第1の絶縁膜
1705 第2の絶縁膜
1710 ゲート金属

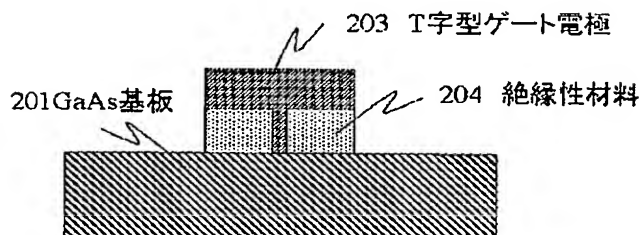
【図41】



【図42】



【図43】



フロントページの続き

(72)発明者 牧野 洋一
東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5F102 FA00 GB01 GC01 GD01 GJ05
GR04 GR09 GR11 GS02 GS04
GS07 GS09 GT03 GV01 GV05
HC15 HC18